

⑫ 公開特許公報(A)

昭63-15472

⑤ Int. Cl.⁴H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

Z-8422-5F
7514-5F

④ 公開 昭和63年(1988)1月22日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 薄膜トランジスタの製造方法

⑭ 特 願 昭61-159399

⑮ 出 願 昭61(1986)7月7日

⑯ 発 明 者	今 城	慎 一	神奈川県川崎市麻生区虹ヶ丘2-3-2-702
⑰ 発 明 者	飯 田	善 次	神奈川県横浜市緑区荏田南2-17-8-201
⑱ 発 明 者	佐 々 木	雅 広	神奈川県横浜市緑区荏田南2-17-8-206
㉑ 発 明 者	都 甲	康 夫	神奈川県横浜市緑区荏田南2-17-8-202
㉒ 発 明 者	小 林	静 一 郎	神奈川県横浜市緑区荏田南2-17-8-303
㉓ 出 願 人	スタンレー電気株式会		東京都目黒区中目黒2丁目9番13号
	社		
㉔ 代 理 人	弁理士 平山 一幸	外1名	

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

- (1) ゲート電極を形成した透明絶縁基板上に、プラズマCVD法、スパッタ又は蒸着等によりゲート絶縁膜、 a -Si層、 n^+a -Si層とソース電極及びドレイン電極となるべき電極材料を成膜し、続いてフォトリソグラフィ法によりソース電極及びドレイン電極をパターンニングした後、該電極をマスクとしてドライプロセスにより表示部における n^+a -Si層及び a -Si層を除去し、次に表示部電極となるべき透明電極材料をスパッタ又は蒸着等により成膜し、フォトリソグラフィ法により表示部電極とソース電極及びドレイン電極のチャンネル部をエッチング除去した後、チャンネル部で露出している n^+a -Si層をドライプロセスにより除去し、最後にプラズマCVD法により表面保護膜を形成することを特徴と

する、薄膜トランジスタの製造方法。

- (2) 前記ゲート絶縁膜、 a -Si層、 n^+a -Si層とソース電極及びドレイン電極となるべき電極材料が、順次に真空を破ることなく成膜され且つエッチング除去されることを特徴とする、特許請求の範囲第1項に記載の薄膜トランジスタの製造方法。

- (3) 前記ソース電極及びドレイン電極と表示部電極のチャンネル部が、1回のフォトリソグラフィ法によりエッチング除去されることを特徴とする、特許請求の範囲第1項または第2項に記載の薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜トランジスタの製造方法に関するものである。

(従来の技術及び問題点)

従来、例えばアクティブドットマトリクス液晶ディスプレイの駆動用として用いられる薄膜トランジスタを製造する場合には、以下のような方法

が用いられている。即ち、先ず、第2図(A)に示すように、透明絶縁基板1上に、ゲート電極2となるべき金属をスパッタ又は蒸着等により成膜したうえでフォトリソグラフィ法によりゲート電極2を形成する。次に、第2図(B)に示すように、ゲート電極2の上に、プラズマCVD(Chemical Vapor Deposition)法等により、ゲート絶縁膜3、アモルファスシリコン(以下a-Siと称する)層4、 n^+a-Si 層4'を成膜し、フォトリソグラフィ法により所望のパターンを形成する。さらに、第2図(C)に示すように、 n^+a-Si 層4'の上に、ソース電極及びドレイン電極となるべき金属(電極材料)をスパッタ又は蒸着等により成膜し、フォトリソグラフィ法によりソース電極5及びドレイン電極6を形成する。その後、第2図(D)に示すように、表示部となるべき透明導電膜をスパッタ又は蒸着等により成膜し、フォトリソグラフィ法により表示部電極7をパターンニングする。最後に、第2図(E)に示すようにソース電極5とドレイン電極6との間のチャネル

部の n^+a-Si 層4'を除去して、プラズマCVD法等により、表面保護膜8を形成する。

以上の工程によって、薄膜トランジスタ9を製造していた。

しかしながら、上記従来の製造方法においては、上述したようにフォトリソグラフィ法によるパターン形成工程を都合4回も必要とし、従ってフォトマスクを4枚使用することになる。このため、製作に多くの時間を要すると共に、コストが高くなっている。また、チャネル部の n^+a-Si 層4'がプラズマ中にさらされる回数が多いために、プラズマによる n^+a-Si 層4'、a-Si層4のダメージが不可避であり、完成した薄膜トランジスタの特性が安定しない。さらに、表示部電極7は透明電極を使用する必要があり、ソース電極5及びドレイン電極6をも同一材料で形成することが考えられているが、液晶ディスプレイの大面積化、微細化に伴い、透明電極のみによる配線は、抵抗値及びエッチング性(断線等)の点で問題があり且つ歩留りが悪い。かくして、このような従来にお

ける薄膜トランジスタの製造方法によれば、量産方式として不適であり好ましくなかった。

(発明の目的)

従って、本発明は、従来要していた薄膜トランジスタの複雑な製造工程を簡略化し、量産に適した薄膜トランジスタを歩留りよく製造する方法を提供することを目的としている。

(問題点を解決するための手段及び作用)

上記目的は、本発明によれば、ゲート電極を形成した透明絶縁基板の上に、プラズマCVD法、スパッタ、蒸着等によりゲート絶縁膜、アモルファスシリコン(a-Si)層、 n^+a-Si 層とソース電極及びドレイン電極となるべき電極材料を成膜し、続いてフォトリソグラフィ法によりソース電極及びドレイン電極をパターンニングした後、該電極をマスクとしてドライプロセスにより表示部における n^+a-Si 層及びa-Si層を除去し、次に表示部電極となるべき透明電極材料をスパッタ又は蒸着等により成膜し、フォトリソグラフィ法により表示部電極とソース電極及びドレイン電極のチ

ャネル部をエッチング除去した後、チャネル部で露出している n^+a-Si 層をドライプロセスにより除去し、最後にプラズマCVD法により表面保護膜を形成することを特徴とする薄膜トランジスタの製造方法により達成される。

この発明によれば、ソース電極及びドレイン電極をマスクとして、ドライプロセスにより表示部における n^+a-Si 層及びa-Si層を除去することにより、フォトリソグラフィ法によるパターン形成工程が3回で済み、従ってフォトマスクも3枚でよく、作業時間が短縮されると共にコストが低減される。また、チャネル部の n^+a-Si 層、a-Si層がプラズマ中にさらされる回数が少なくなるので、プラズマによる n^+a-Si 層、a-Si層のダメージも少なくなり安定した特性が得られ、歩留りが向上する等、非常に量産に適した薄膜トランジスタの製造方法が提供され得る。

本発明の他の特徴は、以下の説明において明らかにされている。

〔実施例〕

以下、図面に基づいて本発明の好適な実施例を詳細に説明する。

第1図は、本発明による薄膜トランジスタの製造工程を順次示す概略図である。

先ず、第1図(A)に示すように、予め洗浄、乾燥させたガラス基板等の透明絶縁基板11上に、ゲート電極12となるべき金属をスパッタ又は蒸着等により成膜し、第1図(B)に示すように、フォトリソグラフィ法によりゲート電極12をパターンニングする。

次に、第1図(C)に示すように、ゲート電極12の上に、プラズマCVD法、スパッタ、蒸着等により、ゲート絶縁膜13、 $a-Si$ 層14、 n^+a-Si 層14'、並びにソース電極及びドレイン電極となるべき一層又は二層の金属(電極材料)を成膜する。続いて表示部の透過性を良好ならしめるため、第1図(D)に示すように、フォトリソグラフィ法によりソース電極15及びドレイン電極16をパターンニングし、さらにこれらの電極15及び16をマ

方式によって、真空を破らずに成膜され得る。また、 n^+a-Si 層14'及び $a-Si$ 層14をドライプロセスにより取り除く際(第1図(D)参照)、その上に形成されたソース電極15及びドレイン電極16がマスクとして利用されるので、フォトリソのアッシング(0.1プラズマ)が不要であり、従ってフォトリソの残留物を考慮する必要がなく、特性の安定した薄膜トランジスタが製造され得ると共に、ソース電極15及びドレイン電極16のパターンニング後、ディップ方式等によりフォトリソの剥離が短時間に行われ得る。さらに、チャンネル部の表面がプラズマにさらされる回数が少なく、従ってプラズマによる n^+a-Si 層14'、 $a-Si$ 層14のダメージが少なくなり、安定した特性が得られ歩留りが向上する。また、フォトリソグラフィ法によるパターン形成工程が都合3回で済み、従ってフォトマスクが3枚でよく、このため作業時間が短縮されると共に、コストも低減され得る。その上、ソースラインの下層には、すべて n^+a-Si 層14'、 $a-Si$ 層14及びゲート絶縁

スクとして表示部における n^+a-Si 層14'及び $a-Si$ 層14をドライプロセスにより取り除く。尚、上記ゲート絶縁膜材料としては、例えば窒化シリコンや酸化シリコン等が用いられる。

その後、第1図(E)に示すように、表示部電極17となるべき透明電極材料、例えば酸化インジウム(ITO)等をスパッタ又は蒸着等により成膜し、さらに第1図(F)に示すように、フォトリソグラフィ法により表示部電極17とソース電極15及びドレイン電極16の不要な部分(チャンネル部等)をエッチング除去してパターンニングする。

次いで、第1図(G)に示すように、チャンネル部で露出している n^+a-Si 層14'をドライプロセスにより取り除き、最後に、第1図(H)に示すように、プラズマCVD法等により表面保護膜18を形成する。かくして、本発明による薄膜トランジスタ19が完成する。

この実施例によれば、ゲート絶縁膜13、 $a-Si$ 層14及び n^+a-Si 層14'と、ソース電極及びドレイン電極15、16となるべき金属とが、インライン

膜13が存在していることから、ゲートラインとの交差部における絶縁性が良好であり且つソースラインの段差が少ないことから、断線等による不良の発生が減少し、歩留りが向上する。

〔発明の効果〕

以上述べたように、本発明によれば、ゲート電極を形成した透明絶縁基板上に、プラズマCVD法、スパッタ、蒸着等によりゲート絶縁膜、 $a-Si$ 層、 n^+a-Si 層とソース電極及びドレイン電極となるべき電極材料を成膜し、続いてフォトリソグラフィ法によりソース電極及びドレイン電極をパターンニングした後、該電極をマスクとしてドライプロセスにより表示部における n^+a-Si 層及び $a-Si$ 層を除去し、次に表示部電極となるべき透明電極材料をスパッタ又は蒸着等により成膜し、フォトリソグラフィ法により表示部電極とソース電極及びドレイン電極のチャンネル部をエッチング除去した後、チャンネル部で露出している n^+a-Si 層をドライプロセスにより除去し、最後にプラズマCVD法等により表面保護膜を形成す

るようにしたから、ソース電極及びドレイン電極をマスクとして、ドライプロセスにより表示部における n^+a-Si 層及び $a-Si$ 層を除去するようにしたことにより、フォトリソグラフィ法によるバターン形成工程が3回になり、従ってフォトマスクも3枚でよく、従来方式に比して1回分の作業時間が短縮されると共に、コストが低減され、また、チャンネル部の n^+a-Si 層、 $a-Si$ 層がプラズマ中にさらされる回数が少なく、プラズマによる n^+a-Si 層、 $a-Si$ 層のダメージも少なくなり安定した特性が得られ、歩留りが向上する等の利点がある。その結果、非常に量産に適した薄膜トランジスタの製造方法が提供され得る。さらに、ゲート絶縁膜、 $a-Si$ 層、 n^+a-Si 層とソース電極及びドレイン電極となるべき電極材料が、順次に真空を破ることなく成膜され且つエッチング除去され、またソース電極及びドレイン電極と表示部電極のチャンネル部が、1回のフォトリソグラフィ法によりエッチング除去されることにより、工程が簡単になると共に作業時間がさらに短縮さ

れ得る。また、ソースラインの下層には、すべて n^+a-Si 層及び $a-Si$ 層とゲート絶縁膜とがあることから、ゲートラインとの交差部における絶縁性が良好であり、且つソースラインの段差が少なく、従って断線等による不良の発生が減少し、歩留りが向上する等、量産に適しさらに液晶ディスプレイの大面积化、微細化にも対応し得る。

4. 図面の簡単な説明

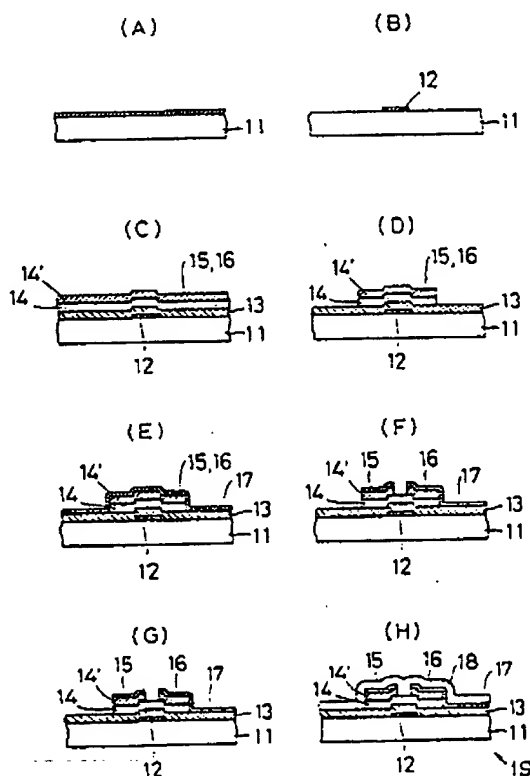
第1図は本発明による薄膜トランジスタの製造方法の一実施例を示す概略図である。

第2図は従来の薄膜トランジスタの製造方法を示す概略図である。

11……透明絶縁基板；12……ゲート電極；13……ゲート絶縁膜；14……アモルファスシリコン($a-Si$)層；14'…… n^+a-Si 層；15……ソース電極；16……ドレイン電極；17……表示部電極；18……表面保護膜；19……薄膜トランジスタ。

特許出願人：スタンレー電気株式会社
代理人：弁理士 平山 一 幸
同 弁理士 湯 津 保 三

第1図



第2図

